

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-294543

(43)Date of publication of application : 19.10.1992

(51)Int.Cl.

H01L 21/331  
H01L 29/73  
H01L 21/28

(21)Application number : 03-083373

(71)Applicant : NEC CORP

(22)Date of filing : 22.03.1991

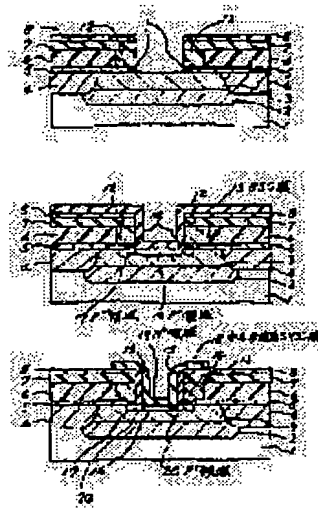
(72)Inventor : TSUZUKI ORIE

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To enable the capacitance between a base and a collector to be reduced and a device to be speeded up by increasing the distance between a conductor for a base electrode lead-out and an epitaxial layer without extending an external base region in a bipolar transistor for leading out the emitter region from a region which is surrounded by the base electrode.

**CONSTITUTION:** An area between an epitaxial layer 3 and a first polycrystal silicon film 7 which is a base electrode is in a multilayer structure of a first nitriding film 5 and a first oxide film 6, and polysilicon is buried in two stages and then is connected to a base layer. At this time, by making thin the first nitriding film 5, a second undercut portion 12 for determining an external base region can be reduced and the distance between the epitaxial layer 3 and the first polycrystal silicon film 7 can be increased by the first oxide film 6, thus enabling the capacitance between the base and collector to be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



1

## 【特許請求の範囲】

【請求項1】 第1絶縁膜形成工程と、第2絶縁膜形成工程と、第1導電膜形成工程と、第3絶縁膜形成工程と、開口形成工程と、第1アンダーカット形成工程と、第2導電膜埋込工程と、第2アンダーカット形成工程と、接続領域形成工程とを有し、ベース電極で囲まれた領域内からエミッタ電極を引き出すバイポーラトランジスタを有する半導体装置の製造方法であって、第1絶縁膜形成工程は、半導体基板上に第1の絶縁膜を設ける工程であり、第2絶縁膜形成工程は、第1の絶縁膜上に、第1の絶縁膜に対してエッチング選択性を持つ第2の絶縁膜を設ける工程であり、第1導電膜形成工程は、第2の絶縁膜上に第1の導電膜を設ける工程であり、第3の絶縁膜形成工程は、第1の導電膜上に第3の絶縁膜を設ける工程であり、開口形成工程は、第3の絶縁膜に第2の絶縁膜に達する開口部を選択的に設ける工程であり、第1アンダーカット形成工程は、開口部を通して第2の絶縁膜をエッチングし第1の絶縁膜を露出させ横方向にもエッチングを進め第1のアンダーカット部を設ける工程であり、第2導電膜埋込工程は、少なくとも第1のアンダーカット部の一部に第2の導電膜を埋め込む工程であり、第2アンダーカット形成工程は、開口部を通して第1の絶縁膜をエッチングし半導体基板を露出させ横方向にもエッチングを進め第2のアンダーカット部を設ける工程であり、接続領域形成工程は、少なくとも第2のアンダーカット部の一部に第3の導電膜を埋め込み、ベースとの接続領域を形成する工程であることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にバイポーラトランジスタを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 図3A、図3Bに従来のnpn型バイポーラトランジスタの製造方法を示す。図3A(a)に示すように、P型半導体基板1に埋込n(プラス)領域2、埋込p(プラス)領域(図では省略)を形成し、n型エピタキシャル層3を1 $\mu$ m程度の膜厚で形成する。次に選択酸化により素子分離酸化膜4を形成した後、全面に第1酸化膜6を0.2 $\mu$ m程度形成する。次に前記第1酸化膜6上に第1多結晶シリコン膜7を0.2 $\mu$ m程度形成する。次にP型不純物であるボロンを前記第1多結晶シリコン膜7へイオン注入法を用いて導入しベース電極としてパターニングする。次に第1シリコン窒化膜5を全面に0.1 $\mu$ m程度形成する。

【0003】 次に図3A(b)に示すように、ベース活性領域及びエミッタ領域の各々を形成するための開口部10を設け、第1酸化膜6を露出させる。次に第1シリコン窒化膜5をマスクにして開口部10において露出し

2

ている第1酸化膜6をエッチングし横方向にもエッチングを進め、第1アンダーカット部11を設ける。次に第1アンダーカット部11が埋め込まれるように第2多結晶シリコン膜12を形成する。

【0004】 次に図3A(c)に示すように、第1アンダーカット部11に埋め込まれた部分を除いて第2多結晶シリコン膜12をエッチングし、ベース活性領域及びエミッタ領域となるエピタキシャル層3を露出させる。

【0005】 次に図3B(d)に示すように、ボロンを含んだシリコン酸化膜であるBSG膜15を気相成長法により被着する。次に熱処理を施し前記BSG膜15に含まれるボロンをエピタキシャル層3へ導入し活性ベース領域であるp<sup>-</sup>領域16を形成する。また、このとき同時に、第1多結晶シリコン膜7に導入されたボロンを、第1アンダーカット部11に埋め込まれた第2多結晶シリコン膜12を通してエピタキシャル層3へ導入し、外部ベース領域であるp(プラス)領域17を形成する。

【0006】 次に図3B(e)に示すように、異方性エッチングを用いてBSG膜15をエッチングし、開口部10の側壁部のみに残し、エミッタ領域となるエピタキシャル層3を露出させる。次にN型不純物であるヒ素を導入した第4多結晶シリコン膜18を全面に形成した後、エミッタ領域として表面が露出しているエピタキシャル層3と接続するようにパターニングしてエミッタ電極を形成する。次に熱処理を施し第3多結晶シリコン膜14からヒ素をエピタキシャル層3へ導入し、エミッタ領域であるn(プラス)領域19を形成する。このとき同時に開口部10の側壁部に残っているBSG膜15よりボロンが導入され、活性ベース領域であるp<sup>-</sup>領域16と外部ベース領域であるp(プラス)領域17を接続するためのリンクベース領域であるp(プラス)領域20を形成する。

## 【0007】

【発明が解決しようとする課題】 この従来の半導体装置の製造方法において、ベース-コレクタ間容量は、外部ベース領域及びベース引出し電極である第1多結晶シリコン膜と、前記エピタキシャル層のn型領域との容量が支配的である。

【0008】 このベース-コレクタ間容量を低減してトランジスタの高速化を図るためには、外部ベース領域の面積を縮小しベース引出し電極である第1多結晶シリコン膜とエピタキシャル層のn型領域との距離を増加する必要がある。

【0009】 しかし、第1多結晶シリコン膜とエピタキシャル層のn型領域との距離を増加するために第1窒化膜の膜厚を厚くした場合、第1窒化膜のサイドエッチング量を抑え、外部ベース拡散領域を縮小すると、ベースとベース引出し電極とを接続するために埋め込まれた多結晶シリコン膜の抵抗が増加してしまう。

【0010】逆に、第1窒化膜の膜厚を薄くして抵抗を減少させても、第1多結晶シリコン膜とエピタキシャル層のn型領域との距離が減少してしまい、容易にベース-コレクタ間容量を低減することができないという欠点があった。

【0011】本発明の目的は、前記課題を解決した半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置の製造方法においては、第1絶縁膜形成工程と、第2絶縁膜形成工程と、第1導電膜形成工程と、第3絶縁膜形成工程と、開口形成工程と、第1アンダーカット形成工程と、第2導電膜埋込工程と、第2アンダーカット形成工程と、接続領域形成工程とを有し、ベース電極で囲まれた領域内からエミッタ電極を引き出すバイポーラトランジスタを有する半導体装置の製造方法であって、第1絶縁膜形成工程は、半導体基板上に第1の絶縁膜を設ける工程であり、第2絶縁膜形成工程は、第1の絶縁膜上に、第1の絶縁膜に対してエッチング選択性を持つ第2の絶縁膜を設ける工程であり、第1導電膜形成工程は、第2の絶縁膜上に第1の導電膜を設ける工程であり、第3の絶縁膜形成工程は、第1の導電膜上に第3の絶縁膜を設ける工程であり、開口形成工程は、第3の絶縁膜に第2の絶縁膜に達する開口部を選択的に設ける工程であり、第1アンダーカット形成工程は、開口部を通して第2の絶縁膜をエッチングし第1の絶縁膜を露出させ横方向にもエッチングを進め第1のアンダーカット部を設ける工程であり、第2導電膜埋込工程は、少なくとも第1のアンダーカット部の一部に第2の導電膜を埋め込む工程であり、第2アンダーカット形成工程は、開口部を通して第1の絶縁膜をエッチングし半導体基板を露出させ横方向にもエッチングを進め第2のアンダーカット部を設ける工程であり、接続領域形成工程は、少なくとも第2のアンダーカット部の一部に第3の導電膜を埋め込み、ベースとの接続領域を形成する工程である。

【0013】

【作用】半導体基板上に第1の絶縁膜を設け、第1の絶縁膜上に、第1の絶縁膜に対してエッチング選択性を持つ第2の絶縁膜を設け、第2の絶縁膜上に第1の導電膜を設け、第1の導電膜上に第3の絶縁膜を設け、第3の絶縁膜に第2の絶縁膜に達する開口部を選択的に設け、開口部を通して第2の絶縁膜をエッチングし、第1の絶縁膜を露出させ横方向にもエッチングを進め第1のアンダーカット部を設け、少なくとも第1のアンダーカット部の一部に第2の導電膜を埋め込み、開口部を通して第1の絶縁膜をエッチングし半導体基板を露出させ横方向にもエッチングを進め第2のアンダーカット部を設け、少なくとも第2のアンダーカット部一部に第3の導電膜を埋め込みベースとの接続領域を形成するものであ

る。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】（実施例1）図1は、本発明の実施例1を製造工程順に示す断面図である。

【0016】図1A（a）に示すように、P型半導体基板1に埋込n（プラス）領域2、埋込p（プラス）領域（図では省略）を形成し、n型エピタキシャル層3を1μm程度の膜厚で形成する。次に選択酸化により素子分離酸化膜4を形成する。次に全面に第1窒化膜5を0.1μm程度形成する。この第1窒化膜5の形成前に露出したエピタキシャル層3を酸化して0.01μm程度の酸化膜を形成し、窒化膜とエピタキシャル層の緩衝材として用いてもよい（本実施例では省略）。次に第1窒化膜5上に第1酸化膜6を0.5μm程度形成し、第1酸化膜6上に第1多結晶シリコン膜7を0.2μm程度形成する。次にP型不純物であるボロンを第1多結晶シリコン膜7へイオン注入法を用いて導入し、ベース電極としてパターンニングする。次に第2酸化膜8を全面に0.1μm程度形成する。次に第2窒化膜9を全面に0.1μm程度形成する。

【0017】次に図1A（b）に示すように、ベース活性領域及びエミッタ領域の各々を形成するための開口部10を設け、第1酸化膜6を露出させる。次に第2シリコン窒化膜9をマスクにして、開口部10において露出している第1酸化膜6をエッチングし横方向にもエッチングを進め第1アンダーカット部11を設ける。次に第1アンダーカット部11が埋め込まれるように第2多結晶シリコン膜12を形成する。

【0018】図1A（c）に示すように、第1アンダーカット部11に埋め込まれた部分を除いて第2多結晶シリコン膜12をエッチングし第1窒化膜5を露出させる。

【0019】図1B（d）に示すように、第2酸化膜8をエッチングストッパーにして第2窒化膜9及び開口部10において露出している第1窒化膜5をエッチングし横方向にもエッチングを進め第2アンダーカット部13を設ける。次に第2アンダーカット部13が埋め込まれるように第3多結晶シリコン膜14を形成する。次に第2アンダーカット部13に埋め込まれた部分を除いて第3多結晶シリコン膜14をエッチングし、ベース活性領域及びエミッタ領域となるエピタキシャル層3を露出させる。

【0020】図1B（e）に示すように、ボロンを含んだシリコン酸化膜であるBSG膜15を気相成長法により被着する。次に熱処理を施しBSG膜15に含まれるボロンをエピタキシャル層3へ導入し、活性ベース領域であるp<sup>-</sup>領域16を形成する。また、このとき同時に、第1多結晶シリコン膜7に導入されたボロンを、第

5

1 アンダーカット部11に埋め込まれた第2多結晶シリコン膜12及び第2アンダーカット部13に埋め込まれた第3多結晶シリコン膜14を通してエピタキシャル層3へ導入し外部ベース領域であるp（プラスプラス）領域17を形成する。

【0021】図1B（f）に示すように、異方性エッチングを用いてBSG膜15をエッチングし開口部10の側壁部のみに残し、エミッタ領域となるエピタキシャル層3を露出させる。次に第4多結晶シリコン膜18を全面に形成した後、N型不純物であるヒ素をイオン注入法を用いて導入し、エミッタ領域として表面が露出しているエピタキシャル層3と接続するようにパターニングしてエミッタ電極を形成する。次に熱処理を施し、第4多結晶シリコン膜18からヒ素をエピタキシャル層3へ導入し、エミッタ領域であるn（プラス）領域19を形成する。このとき同時に開口部10の側壁部に残っているBSG膜15よりボロンが導入され、活性ベース領域であるp<sup>-</sup>領域16と外部ベース領域であるp（プラスプラス）領域17を接続するためのリンクベース領域であるp（プラス）領域20を形成する。

【0022】（実施例2）図2は本発明の実施例2を製造工程順に示す断面図である。本実施例は、ベースの形成に選択エピタキシャル成長を用いたバイポーラトランジスタに適用した場合である。

【0023】図1A（c）までの工程を実施例1と同様に行った後、図2（a）に示すように第2酸化膜8をエッチングストッパーにして第2窒化膜9及び開口部10において露出している第1窒化膜5をエッチングしてエピタキシャル層3を露出させ、横方向にもエッチングを進め第2アンダーカット部13を設ける。次に選択エピタキシャル成長法を用いて露出しているエピタキシャル層3上にP型不純物であるボロンを含んだ選択エピタキシャル層21を0.05μm成長する。このとき同時に開口部10及び第2アンダーカット部13の上方に露出している第2多結晶シリコン膜12及び第1多結晶シリコン膜7からも第3多結晶シリコン膜14が成長し、選択エピタキシャル層21と接続される。

【0024】図2（b）に示すように、第3窒化膜22を全面に0.2μm程度形成した後、異方性エッチングによりエッチバックして開口部10の側壁部のみに残す。次に第4多結晶シリコン膜18を全面に形成した後、N型不純物であるヒ素をイオン注入法を用いて導入し、エミッタ領域として表面が露出している選択エピタキシャル層21と接続するようにパターニングしてエミッタ電極を形成する。次に熱処理を施し、第4多結晶シリコン膜18からヒ素を選択エピタキシャル層21へ導入し、エミッタ領域であるn（プラス）領域19を形成する。

6

【0025】本実施例のように選択エピタキシャル成長法を用いてベース層を形成する場合、ベース層の厚さは、n型エピタキシャル層とベース電極引出用ポリシリコンの距離により決定される。したがって、超高速バイポーラトランジスタを実現するために極薄ベース層を形成すると、第1窒化膜厚は一層薄膜化され、本発明によりコレクターベース電極引出用ポリシリコン間の容量を低減することは、高速化に有効である。

【0026】

10 【発明の効果】以上説明したように本発明は、nが多エピタキシャル層とベース電極引出用ポリシリコン間の絶縁膜を多層にし、2段階でポリシリコンを埋め込んでベース層と接続することにより、外部ベース領域を広げることなく、コレクターベース電極引出用ポリシリコン間の距離を増加することができ、ベース-コレクタ間容量を低減してバイポーラトランジスタの高速化を容易に実現できる。

【図面の簡単な説明】

20 【図1A】本発明の実施例1を製造工程順に示す断面図である。

【図1B】本発明の実施例1を製造工程順に示す断面図である。

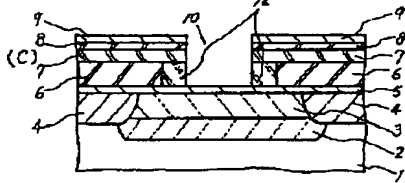
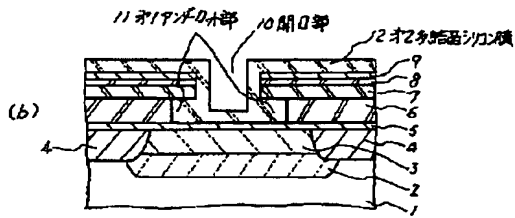
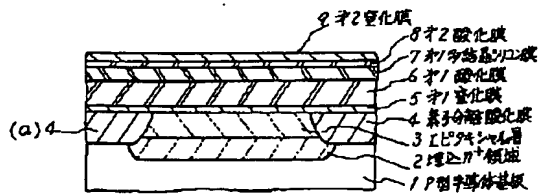
【図2】本発明の実施例2を製造工程順に示す断面図である。

【図3】従来例を製造工程順に示す断面図である。

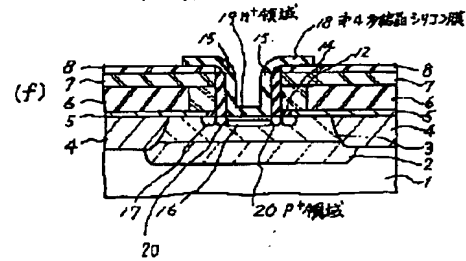
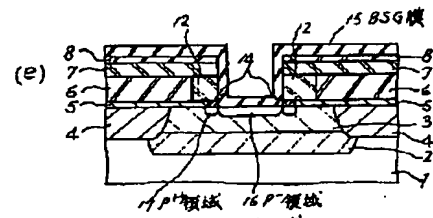
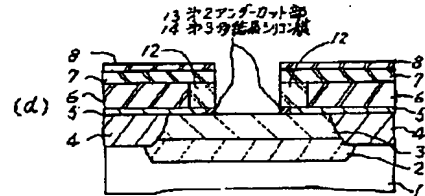
【符号の説明】

- 1 P型半導体基板
- 2 埋込n（プラス）領域
- 3 エピタキシャル層
- 4 素子分離酸化膜
- 5 第1窒化膜
- 6 第1酸化膜
- 7 第1多結晶シリコン膜
- 8 第2酸化膜
- 9 第2窒化膜
- 10 開口部
- 11 第1アンダーカット部
- 12 第2多結晶シリコン膜
- 13 第2アンダーカット部
- 14 第3多結晶シリコン膜
- 15 BSG膜
- 16 p<sup>-</sup>領域
- 17 p（プラスプラス）領域
- 18 第4多結晶シリコン膜
- 19 n（プラス）領域
- 20 p（プラス）領域
- 21 選択エピタキシャル層
- 22 第3窒化膜

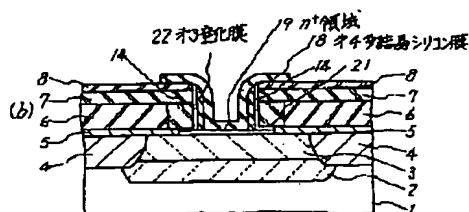
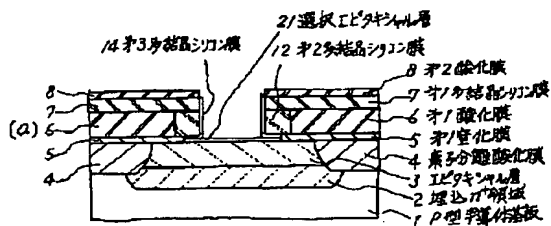
【図1A】



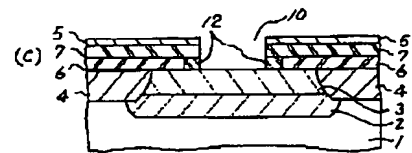
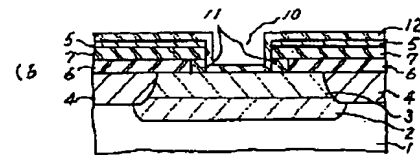
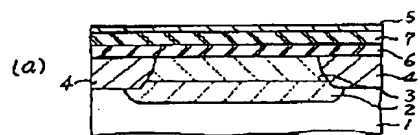
【図1B】



【図2】



【図3A】



【図3B】

